De forma a que se possa obter uma estimativa da área que o circuito ocupa fez-se um novo esquemático no qual se colocou apenas o simbolos dos transistores com as dimensões que se obteviveram sem qualquer ligação. A partir desse esquemático obteve-se então o layout respectivo movimentado-se os blocos de forma a que se onbtivesse a forma mais compacta possivel tal como se mostra na imagem seguinte.

(inserir imagem)

A partir desta forma compacta e fazendo uso da régua do Cadence tal como se mostra na imagem, em que as unidades são micrometros. É então possivel obter uma estimativa da área, multiplicando a largura pela altura. Multiplica-se ainda este resultado por um factor de 1.2 de forma a sobreestimar-se a área pois aqui não se consideram as ligaçoes nem eventuais discrepâncias das dimensões reais. Tem-se assim

Tem-se assim que a àrea obtida estará bastante abaixo da requerida que era (cerca de 2.5 vezes menor) pelo que mesmo que haja algum factor de erro no método de cálculo se pode considerar que o objectivo foi cumprido.